
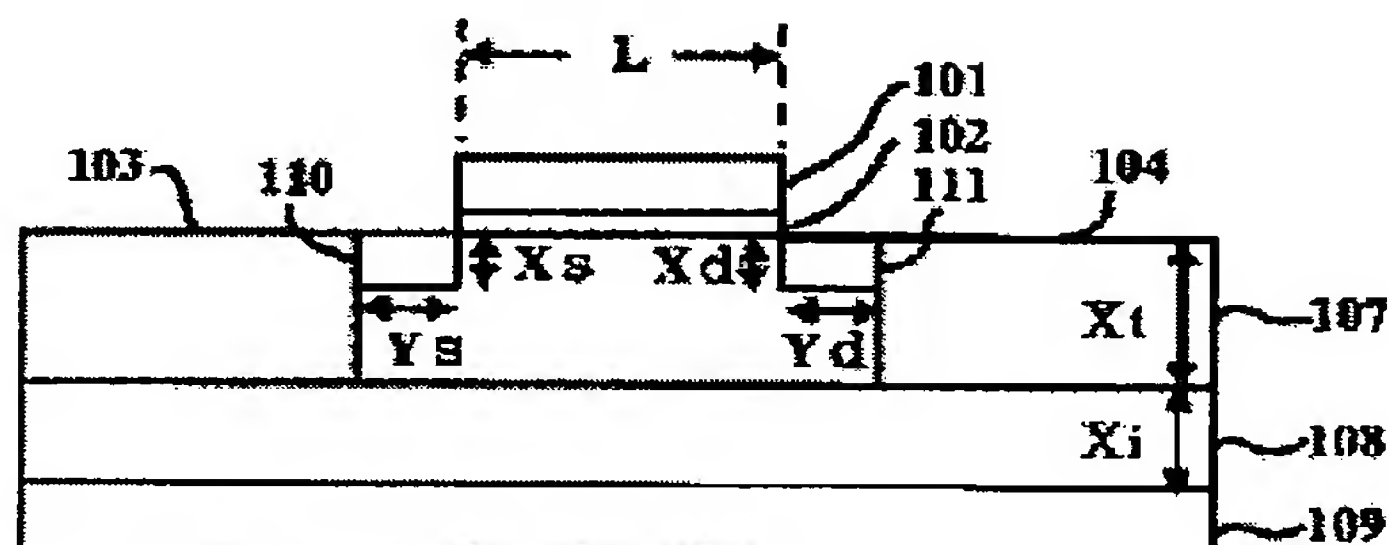


**SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD****Patent number:** JP2002246601**Publication date:** 2002-08-30**Inventor:** TAKIZAWA TERUO**Applicant:** SEIKO EPSON CORP**Classification:****- international:** *H01L21/336; H01L29/786; H01L21/02; H01L29/66;*  
(IPC1-7): H01L29/786; H01L21/265; H01L21/336**- european:** H01L21/336D3; H01L29/786B2; H01L29/786B4B**Application number:** JP20010039611 20010216**Priority number(s):** JP20010039611 20010216**Also published as:** US2002175372 (A1)[Report a data error here](#)**Abstract of JP2002246601**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device that can exceedingly reduce leakage currents by exhibiting a short-channel effect. **SOLUTION:** A field effect transistor formed on an SOI substrate is provided with a gate (102) formed on the substrate, a source (103) and a drain (104) both of which are formed at desired intervals from a crystalline region formed under the gate (102), and a first extension region (110) which is extended to a channel formed under the source (103) and gate (102). The transistor is also provided with a second extension region (111) extended to a channel formed under the drain (104) and gate (102). The junction depths ( $X_s$  and  $X_d$ ) of the first and second extension regions (110) and (111) are made shallower than those ( $X_t$ ) of the source and drain regions (103) and (104).

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246601

(P 2 0 0 2 - 2 4 6 6 0 1 A)

(43) 公開日 平成14年 8 月30日 (2002. 8. 30)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 21/265	602 C 5F110
21/265	602		604 M
	604	29/78	616 T
21/336			616 L
			616 A

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-39611 (P 2001-39611)

(22) 出願日 平成13年 2 月16日 (2001. 2. 16)

(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成12年度新エネルギー・産業技術総合開発機構 極低電力情報端末用 L S I の研究開発に係る委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 瀧澤 照夫

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外 2 名)

F ターム (参考) 5F110 AA02 AA06 AA09 CC02 DD02

DD03 DD05 DD13 EE09 EE31

FF01 FF02 FF23 GG01 GG02

GG04 GG12 GG13 GG15 GG25

GG28 HJ07 HJ13 HJ18 HJ23

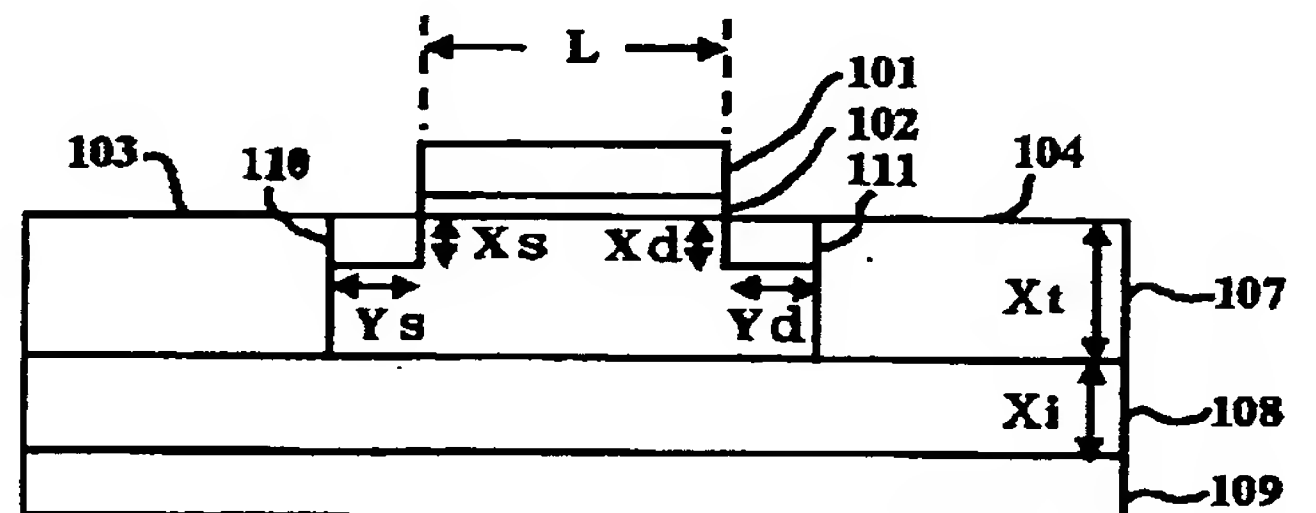
HM15 QQ11

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 短チャネル効果によるリーク電流の低減に優れた半導体装置及びその製造方法を提供する。

【解決手段】 S O I 基板上に形成された電界効果トランジスタにおいて、基板上に形成されたゲート (102) と、ゲート下の結晶領域と所望の間隔で離隔されて形成されたソース (103) 及びドレイン (104) と、ソースとゲート下に形成されるチャネルに伸長する第 1 のエクステンション領域 (110) と、ドレインとゲート下に形成されるチャネルに伸長する第 2 のエクステンション領域 (111) とを備え、第 1 及び第 2 のエクステンション領域の接合深さ ( $X_s$ ,  $X_d$ ) はソース領域 (103) 及びドレイン領域 (104) の接合深さ ( $X_i$ ) よりも浅く形成される。



## 【特許請求の範囲】

【請求項 1】 S O I 基板に形成される電界効果トランジスタであって、

前記 S O I 基板の半導体膜上に形成されるゲート領域と、

前記ゲート領域下の前記半導体膜に形成されるチャネル領域と所望の間隔で離隔されて形成されるソース領域及びドレイン領域と、

前記ソース領域から前記チャネル領域に伸長する第 1 のエクステンション領域と、

前記ドレイン領域から前記チャネル領域に伸長する第 2 のエクステンション領域と、を備え、

前記第 1 及び第 2 のエクステンション領域の接合深さは前記ソース領域及び前記ドレイン領域の接合深さよりも浅く形成される、

ことを特徴とする半導体装置。

【請求項 2】 前記第 1 及び第 2 の各エクステンション領域の接合深さは、前記ソース領域及びドレイン領域の各領域の接合深さの 5 0 % 以下に形成される、ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体装置は、完全空乏動作モードで動作する、ことを特徴とする請求項 1 乃至 2 のいずれかに記載の半導体装置。

【請求項 4】 前記 S O I 基板は、ガラス基板或いは石英基板或いはその他の絶縁性基板上に半導体膜を成膜した基板である、ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】 S O I 基板に形成される電界効果トランジスタの製造方法であって、

前記 S O I 基板の半導体層上にゲート電極を形成する第 1 の工程と、

前記ゲート電極と所望の間隔で離隔した領域に不純物を高濃度で注入し、ソース及びドレインを形成する第 2 の工程と、

前記ゲート電極下に形成されるチャネル領域と、前記ソース及びドレインとの間の当該離隔領域に、前記ソース及びドレインよりも浅く不純物を導入して前記ソース及びドレインのエクステンション領域を形成する第 3 の工程と、

前記エクステンション領域をレーザアニール法により電気的に活性化させる第 4 の工程と、を含む半導体装置の製造方法。

【請求項 6】 前記第 3 の工程は、プラズマドーピング法によって極浅く不純物を注入する、ことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 3 の工程は、レーザアニール法により不純物活性化がなされる、ことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記エクステンション領域の接合深さは、前記ソース及びドレインの各領域の接合深さの 5 0 % 以

下に形成される、ことを特徴とする請求項 5 乃至 7 に記載の半導体装置。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に絶縁ゲート電界効果トランジスタを含む半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】 従来の単一ドレイン構造を有する絶縁ゲート電界効果トランジスタは図 5 に示す構造が取られており、半導体結晶中にゲート 1 0 1、ソース 1 0 3、ドレイン 1 0 4 を形成し、ソースからドレインへのキャリアの移動（電流）を、ゲートに印加したバイアスをゲート酸化膜 1 0 2 を介してゲート直下の半導体結晶部分に作用させることにより制御している。

【 0 0 0 3 】 特に近年は、I C の高集積度化の要請に伴ってデバイス寸法の縮小が求められ、必然的にゲート長 L は短く設計されるようになり、現在ではサブミクロンのチャネル長となっている。このようにチャネル長が短くなると、いわゆる「短チャネル効果」と呼ばれる技術的な問題が生じることとなる。

【 0 0 0 4 】 上記短チャネル効果は、二つに大別することができる。

【 0 0 0 5 】 一つは、チャネル中の電界強度の増大に起因するキャリア移動度の減少、ドリフト速度の飽和、キャリアの運動エネルギーの増大（ホットキャリア効果）であり、他の一つは、チャネル中の横方向電界の変化が縦方向電界の変化に比べて無視できなくなるためにグラジュアル近似が成立しなくなることである。その結果、チャネル内、特にドレイン近傍の電位分布、電流分布、キャリア分布が 2 次元の更には 3 次元的になり、サブスレッショルド特性の劣化、パンチスルーによるドレイン電流の非飽和現象、及び閾値電圧（V t h）のチャネル長依存性が現れるようになる。これらのうち、ゲート長がサブミクロンとなる領域或いはサブ 0. 1 ミクロンとなる領域においても、このような短チャネル効果を抑制し得る半導体装置の実現が強く求められている。

【 0 0 0 6 】 一方で、半導体装置のより高速化・低消費電力化を目的として、シリコンウエハ中に埋め込み酸化膜層を形成した半導体・オン・インシュレータ（Semiconductor On Insulator: S O I）基板に半導体装置を作成する技術が注目を浴びている。この S O I 基板に作製された電界効果トランジスタは通常のパルクウエハに比べソース・ドレイン直下の接合容量がおおよそ 3 0 ～ 4 0 % 程度削減でき、ゲート遅延時間や消費電力を大幅に改善できる。従って、半導体装置の高速化・低消費電力化が期待できる。

【 0 0 0 7 】 このような S O I 基板に作製された電界効果トランジスタにおいても、前述したような短チャネル効果の抑制が大きな課題となっている。特に完全空乏



動作モードの電界効果トランジスタでは、半導体膜層全体が完全に空乏化するため埋め込み酸化膜近傍でパンチスルー現象を起こしやすい。これは短チャンネル効果の顕著な例である。従来の技術では、このような埋め込み酸化膜近傍でのパンチスルー現象を抑制するために、より半導体膜を薄膜化することが唯一の解決策とされていた。

【0008】

【発明が解決しようとする課題】従来のSOI基板に作製された絶縁ゲート電界効果トランジスタを含む半導体装置においては、半導体膜の薄膜化により短チャンネル効果を抑制していた。しかし、ゲート長がサブミクロン或いはサブ0.1ミクロンとなる領域に対応する半導体膜の薄膜化は、現在のSOIウエハ作製技術上十分な均一性を得ることは難しい。さらに例えウエハ全体に渡って均一な半導体薄膜が得られたとしても、そのような半導体薄膜上に形成された電界効果トランジスタでは、閾値電圧のばらつきやソース・ドレインの寄生抵抗が問題となる。

【0009】本発明は、上記に鑑みてなされたものであって、その目的は、SOI基板に形成されたソース及びドレインの各領域とチャンネル領域に伸長するエクステンション領域を新たに形成することにより、閾値電圧のばらつきやソース・ドレイン寄生抵抗を低減しつつ、尚かつ短チャンネル効果をも抑制することにある。これにより高速・低消費電力でしかも高度集積化された半導体装置を提供するものである。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、SOI基板上に形成される電界効果トランジスタにおいて、上記SOI基板の半導体膜上に形成されるゲート領域と、上記ゲート領域下の前記半導体膜に形成されるチャンネル領域と所望の間隔で離隔されて形成されるソース領域及びドレイン領域と、上記ソース領域から上記チャンネル領域に伸長する第1のエクステンション領域と、上記ドレイン領域から上記チャンネル領域に伸長する第2のエクステンション領域と、を備え、上記第1及び第2のエクステンション領域の接合深さは上記ソース領域及び上記ドレイン領域の接合深さよりも浅く形成される、ことを特徴とするかかる構成とすることにより、短チャンネル効果より生じるソース・ドレイン間のリーク電流を低減することが可能となる。

【0011】好ましくは、上記第1及び第2の各エクステンション領域の接合深さはソース及びドレインの各領域の接合深さの50%以下である。

【0012】また、好ましくは、上記第1及び第2のエクステンション領域はレーザアニール法により不純物活性化がなされる。

【0013】また、好ましくは、上記半導体装置は完全

空乏動作モードで動作する半導体装置である。

【0014】更に、好ましくは、上記SOI基板は、ガラス基板或いは石英基板或いはその他の絶縁性基板上に半導体膜を成膜した基板である。

【0015】また、本発明の半導体装置の製造方法は、SOI基板上に形成される電界効果トランジスタの製造方法において、上記SOI基板の半導体層上にゲート電極を形成する第1の工程と、上記ゲート電極と所望の間隔で離隔した領域に不純物を高濃度で注入し、ソース及びドレインを形成する第2の工程と、上記ゲート電極下に形成されるチャンネル領域と、上記ソース及びドレインとの間の当該離隔領域に、上記ソース及びドレインよりも浅く不純物を導入して上記ソース及びドレインのエクステンション領域を形成する第3の工程と、上記エクステンション領域をレーザアニール法により電氣的に活性化させる第4の工程と、を含む。

【0016】かかる構成とすることにより、短チャンネル効果より生じるソース・ドレイン間のリーク電流を低減させた半導体装置の製造が可能となる。

【0017】好ましくは、上記第3の工程は、プラズマドーピング法によって極浅く不純物を注入する、ことを特徴とする。

【0018】好ましくは、上記エクステンション領域の接合深さは、上記ソース及びドレインの各領域の接合深さの50%以下に形成される。

【0019】

【発明の実施の形態】以下、本発明の実施の態様について図面を参照して説明する。

【0020】図1は、本発明による実施態様である半導体装置の構造を説明するための断面図である。

【0021】この実施態様では、絶縁性基板上に形成した半導体（シリコンSi）をSOI基板として用いてnMOSFETを形成している。また、半導体層107は、厚みXiの絶縁層108を介して基板109上に、膜厚Xtで形成されている。

【0022】ゲート101は、半導体層107のSi表面を熱酸化によって形成したゲート酸化膜102上にゲート長Lで形成されており、半導体層107には、ゲート形成領域からYs又はYdだけ離隔してn型のソース領域103又はドレイン領域104が各々形成されている。

【0023】上記ソース領域103又はドレイン領域104とゲート形成領域との離隔間隔Ys及びYdの領域には、ソース領域又はドレイン領域の伝導型と同様のn型伝導型となるように不純物がドーブされたエクステンション領域（110及び111）が、ソース領域103及びドレイン領域104とは別個に接合深さXs又はXdで各々形成されている。

【0024】上記Xs、Xd、Ys及びYdの値は、所望するデバイス特性に対応して自由に設計可能であり、

更に、 $X_s$ と $X_d$ 、又は、 $Y_s$ と $Y_d$ は、各々の値を等しく設計することも異なるように設計することも可能である。

【0025】尚、上記基板は、張り合わせ法、SIMOX法等によって作製されたSOI基板に限定されるものではなく、ガラス基板或いは石英基板或いはその他の絶縁性基板上に半導体膜が形成された基板であっても良い。

【0026】また、素子を形成する半導体膜は単結晶に限定されるものではなく、多結晶やアモルファス結晶の膜等であっても良い。

【0027】更には、半導体膜の結晶としてはシリコンSi等の単元素結晶に限定されるものではなく、GaAs等のIII-V族化合物半導体、ZnSe等のII-VI族化合物半導体、SiC等のIV-IV族化合物半導体であっても良い。

【0028】図2は、上記構造を有する半導体装置を製造するためのプロセスを説明した図である。

【0029】図2(a)は、例えば張り合わせ法又はSIMOX法により作成されたSOI基板であって、デバイス構造を形成する部分の半導体結晶は厚み $X_t$ のシリコン膜107である。また、上記シリコン膜は、厚み $X_i$ の絶縁膜( $SiO_2$ )108上に形成されている。

【0030】先ず、上記基板を750~800℃、95%ウェット熱酸化にて厚み3nmの酸化膜102を形成する(図2(b))。

【0031】尚、酸化膜102は基板(本実施例ではシリコン)107の酸化物である必要はなく、タンタル酸化物等の高誘電率物質を酸化膜(絶縁膜)として用いることとしても良い。

【0032】酸化膜102上に、例えば、ポリシリコンを100nm程度成長させる。この上に、フォトレジストを塗布し、露光にエキシマレーザ露光技術或いはEB露光技術を用いてゲートパターンの露光、現像、エッチングを行って、ゲート電極(ゲート配線)101、酸化膜(ゲート絶縁膜)102のパターニングを行う(図2(c))。

【0033】更に、ゲート電極側壁に厚さ0.2μm程度の窒化膜によるサイドウォール110を形成した後、イオン・インプランテーション法によりソース・ドレイン領域103、104に不純物の打ち込みを行う(図2(d))。

【0034】窒化膜のサイドウォール110を熱燐酸にて除去し、1000℃、10秒程度の熱アニール処理による不純物の活性化を行う。

【0035】そして、シリコン膜107の、ゲート領域及びソース領域相互間とゲート領域及びドレイン領域相互間とにそれぞれ、例えば、プラズマ・ドーピング法により極浅の不純物注入を行う(図2(e))。更に、上記不純物を極浅かつ高濃度のプロファイルのまま活性化

するために、例えば、YAGレーザ或いはXeClレーザを用いて、エネルギー密度0.1~1J/cm<sup>2</sup>程度のレーザアニールを行う(図2(f))。

【0036】上述した工程により、図1に示したMOSトランジスタが得られる。

【0037】図3は、このようにして作成されたnMOSFETの伝達特性を、図5に示した従来の単ドレイン構造のnMOSFETの伝達特性と比較して示している。

【0038】尚、いずれの構造のFETも、SOIのシリコン膜厚は50nm、ソース・ドレイン間の電圧( $V_{ds}$ )は1.0V、として、ゲート長(L)を1.0μmから0.07μmまで変化させて素子形成されている。

【0039】また、本発明のnMOSFETは、 $X_s = X_d = 0.025\mu m$ 、 $Y_s = Y_d = 0.20\mu m$ 、第1及び第2のエクステンション領域の不純物濃度は共に $N_{ex} = 1 \times 10^{19} cm^{-3}$ として素子形成されている。

【0040】図3(a)に示した単ドレイン構造nMOSFETの伝達特性では、ゲート長が短くなるにつれてオフ状態でのリーク電流、即ち短チャネル効果に起因するパンチスルー電流が増大し、 $V_{gs} = -0.5V$ でみるとゲート長 $L = 0.10\mu m$ で約 $1.0 \times 10^{-9} A/\mu m$ 、ゲート長 $L = 0.07\mu m$ では約 $1.0 \times 10^{-5} A/\mu m$ のリーク電流( $I_{ds}$ )が生じている。

【0041】一方、図3(b)に示した本発明のnMOSFETの伝達特性では、ゲート長の短縮に伴ってリーク電流が増大する傾向はあるものの、ゲート長 $L = 0.10\mu m$ で約 $1.0 \times 10^{-14} A/\mu m$ 、ゲート長 $L = 0.07\mu m$ では約 $1.0 \times 10^{-9} A/\mu m$ のリーク電流に押えられており、従来型の単ドレイン構造nMOSFETに比較して、4~5桁リーク電流が低減されている。

【0042】図4は、本発明のnMOSFETのリーク電流( $I_{ds}$ )の、 $X_s$ 及び $X_d$ 依存性を示す図である。

【0043】本実施例では、 $X_s = X_d = X_j$ とした場合のリーク電流を計測している。また、Si膜は $X_t = 50nm$ 、ゲート長は $L = 0.07\mu m$ 、ドレイン電圧は $V_d = 1.0V$ とし、第1及び第2のエクステンション領域の接合深さ $X_j$ を25nmから10nmまで変化させている。

【0044】 $X_j = 25nm$ の構造のnMOSFETでは、 $V_{gs} = -0.5V$ で約 $1.0 \times 10^{-9} A/\mu m$ あったリーク電流が、 $X_j = 20nm$ の構造のnMOSFETでは約 $1.0 \times 10^{-11} A/\mu m$ に低減され、更に、 $X_j = 10nm$ の構造のnMOSFETでは約 $1.0 \times 10^{-13} A/\mu m$ となっている。



【0045】 $X_j = 10 \text{ nm}$ の構造のnMOSFETのリーク電流は、実質的に従来の単ドレイン構造nMOSFETである $X_j = 25 \text{ nm}$ のnMOSFETのリーク電流に比較して約4桁低減されており、更に、 $X_j = 20 \text{ nm}$ の構造のnMOSFETのリーク電流に比較して約2桁低減されている。

【0046】すなわち、エクステンション領域の接合深さ $X_j$ 以外のデバイスパラメータを固定してリーク電流の $X_j$ 依存性を議論すると、接合深さ $X_j$ が浅くなることによりリーク電流が低減されていることを示している。

【0047】このオフ状態のリーク電流の低減は、サブスレッショルド特性、閾値電圧のチャンネル長依存性をも同時に改善する。これは即ち、短チャンネル効果の抑制を示している。

【0048】このように、本発明のnMOSFET構造をとることにより、従来構造の単ドレイン構造nMOSFETに比べて大幅にリーク電流を低減させることが可能となるとともに、エクステンション領域の接合深さ( $X_s$ 及び $X_d$ )を、ソース及びドレイン領域の接合深さに比較して浅く形成することにより更にリーク電流の低減に効果があることがわかる。

【0049】特に、リーク電流の低減には、第1及び第2のエクステンション領域の接合深さは、各々ソース及びドレインの接合深さの50%以下に設定することが特に有効であることがわかる。

【0050】上述したように、本発明は半導体装置におけるエクステンション領域の接合深さを浅くすることによって短チャンネル効果を抑制するものである。これにより、埋め込み絶縁層上の半導体層を必要以上に薄膜化する必要がなくなる。従って、閾値電圧のばらつきやソース・ドレイン寄生抵抗の問題がなく、高度に集積化された、高速動作・低消費電力の半導体装置を提供することが可能となる。

【0051】尚、上記実施例の半導体装置は、完全空乏動作モードで動作するnMOSFETであるが、本発明はこれに限定されるものではなく、部分空乏動作モードで動作する電界効果トランジスタ等の他の半導体装置であっても良い。

【0052】以下に、本発明の構造と、図6に示したLDD構造との差異について説明する。

【0053】電界強度 $E$ はポテンシャル $\Phi$ の負の傾き $E = -d\Phi/dx$

と定義されるから、MOSFETの微細化に伴ってドレイン近傍の電界強度は極めて高電界となる。

【0054】ドレイン近傍が高電界となるとホットキャリアが発生し、デバイスの信頼性を著しく低下させる。

【0055】具体的には、ホットキャリアがゲート酸化膜中に注入されて酸化膜中に固定電荷として存在し、デバイスの長時間の動作により酸化膜中に注入されるホッ

トキャリアが更に増大して、閾値電圧 $V_{th}$ が徐々に変化するという現象である。

【0056】上記問題を解決すべく考案された構造の一つがLDD構造である(図6)。LDD構造は、Lightly Doped Drain 構造の略であって、半導体結晶中にゲート101、ソース103、ドレイン104、ゲートとソース間及びゲートとドレイン間に形成したLDD領域(105及び106)から構成され、ソースからドレインへのキャリアの移動(電流)を、ゲートに印加したバイアスをゲート酸化膜102を介してゲート直下の半導体結晶部分に作用させることにより制御している。ここで、上記LDD領域にはドレイン領域の不純物濃度に比較して低濃度の不純物を意識的にドーパされた領域とすることで、ICの微細化に伴って生じるホットキャリア対策を行うべく考案された構造である。

【0057】すなわち、いま、p型基板でnMOSを考えると、まず、低濃度の燐(P)でソース、ドレイン近傍を $n^-$ 化し、その後、高濃度の砒素(As)でソース、ドレインを $n^+$ に形成する。これにより不純物拡散領域とp型基板の境界がなだらかな不純物濃度分布を持つようになり、電界、特にドレイン近傍での電界が緩和されてホットキャリアの発生が抑制される、とするものである。

【0058】換言すれば、ソース・ドレイン間隔及びチャンネル長を一定に維持したまま、ゲート近傍に、ソース又はドレインの領域の一部として低濃度の不純物拡散領域を形成することにより、ドレイン近傍の電界強度を下げようとするものである。

【0059】これに対して本発明のMOSFET構造は、ゲート長(すなわちチャンネル長)を一定に維持したまま、ソース領域又はドレイン領域とは別に、ソース領域又はドレイン領域とチャンネル領域に伸長するエクステンション領域を設ける。

【0060】更に、素子設計上の所望により上記エクステンション領域の幅( $Y_s$ 及び $Y_d$ )を変化させることでソース・ドレイン間隔( $=L + Y_s + Y_d$ )を変化させ、ソース・ドレイン間の電界分布を自由に決定しうるため、半導体装置の高速動作を損なうことなく、短チャンネル効果として問題となるパンチスルーによるリーク電流の発生を抑制することが可能となる。

【0061】

【発明の効果】以上説明したように、本発明の半導体装置は、SOI基板に形成されたソース及びドレインの各領域とチャンネル領域との間に浅いエクステンション領域を形成しているので、短チャンネル効果に伴うパンチスルー現象に起因するリーク電流を低減する。これにより必要以上の半導体薄膜化が不要となり、閾値電圧のばらつきやソース・ドレイン寄生抵抗の問題がなく、高度に集積化された、高速動作・低消費電力の半導体装置を提供

することが可能となる。

【図面の簡単な説明】

【図1】図1は、本発明のエクステンション領域を有するnMOSFETの断面図である。

【図2】図2は、本発明のエクステンション領域を含むnMOSFETの製造プロセスを説明する図である。

【図3】図3(a)は、単ードレイン構造のnMOSFETの伝達特性測定結果を説明する図である。図3

(b)は、本発明のエクステンション領域を有するnMOSFETの伝達特性測定結果を説明する図である。

【図4】図4は、本発明のエクステンション領域の接合深さがリーク電流値に及ぼす効果を説明する図である。

【図5】図5は、単ードレイン構造のnMOSFETの

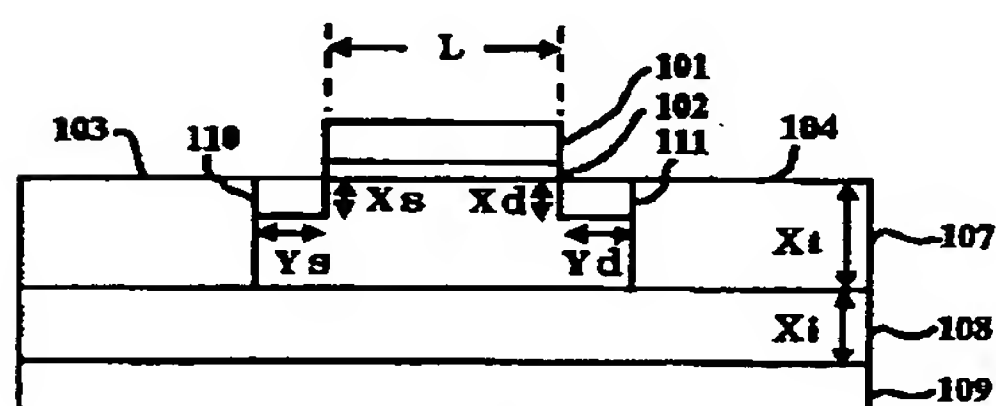
断面図である。

【図6】図6は、LDD構造のnMOSFETの断面図である。

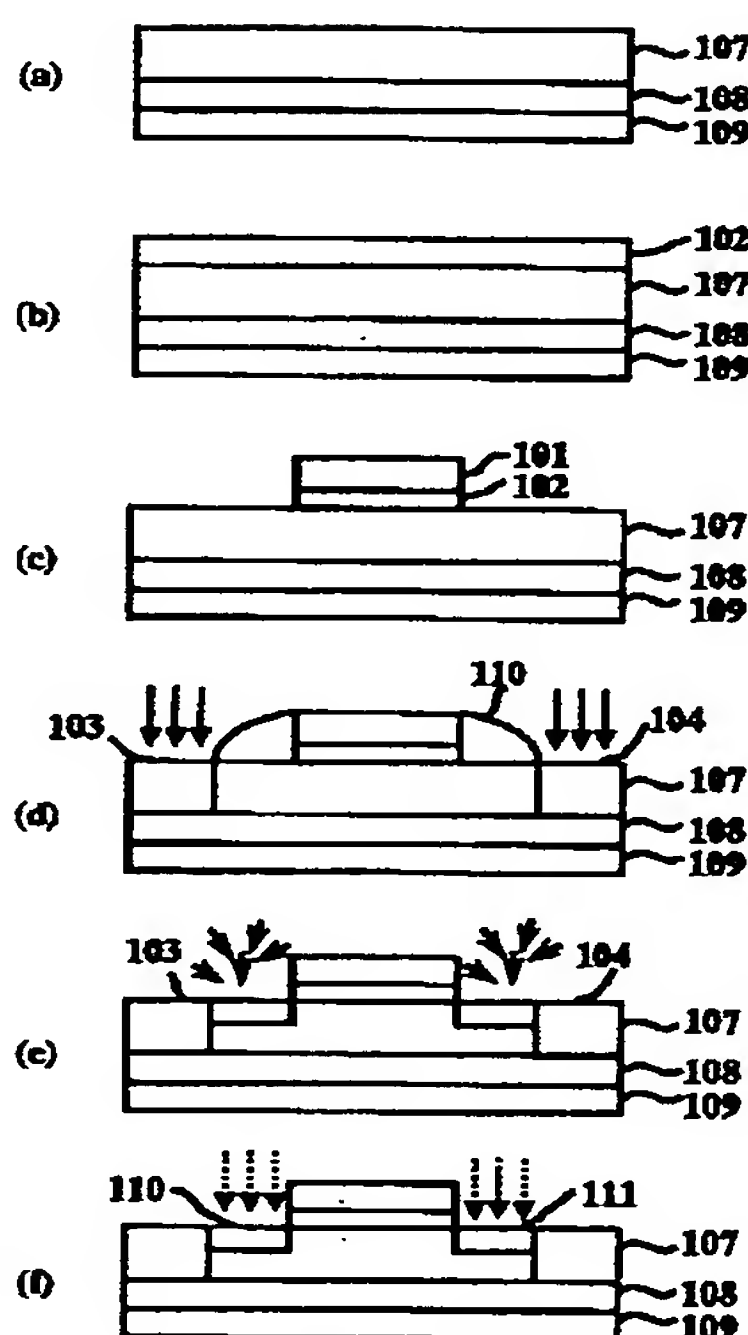
【符号の説明】

- 101 ゲート
- 102 ゲート酸化膜
- 103 ソース
- 104 ドレイン
- 105、106 LDD
- 107 半導体膜
- 108 絶縁層
- 109 基板
- 110、111 エクステンション領域

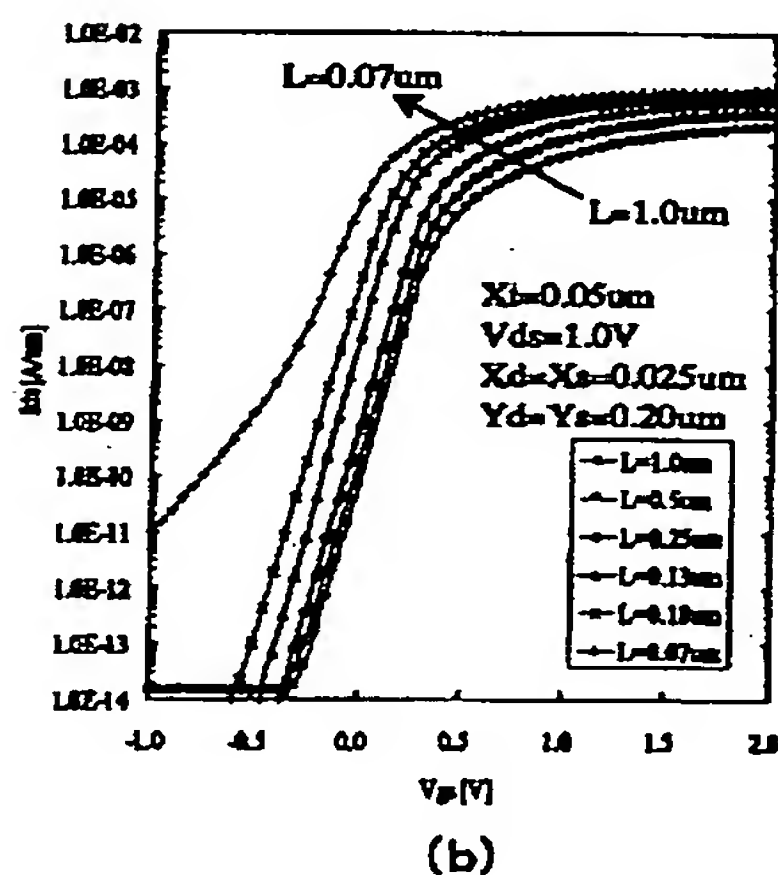
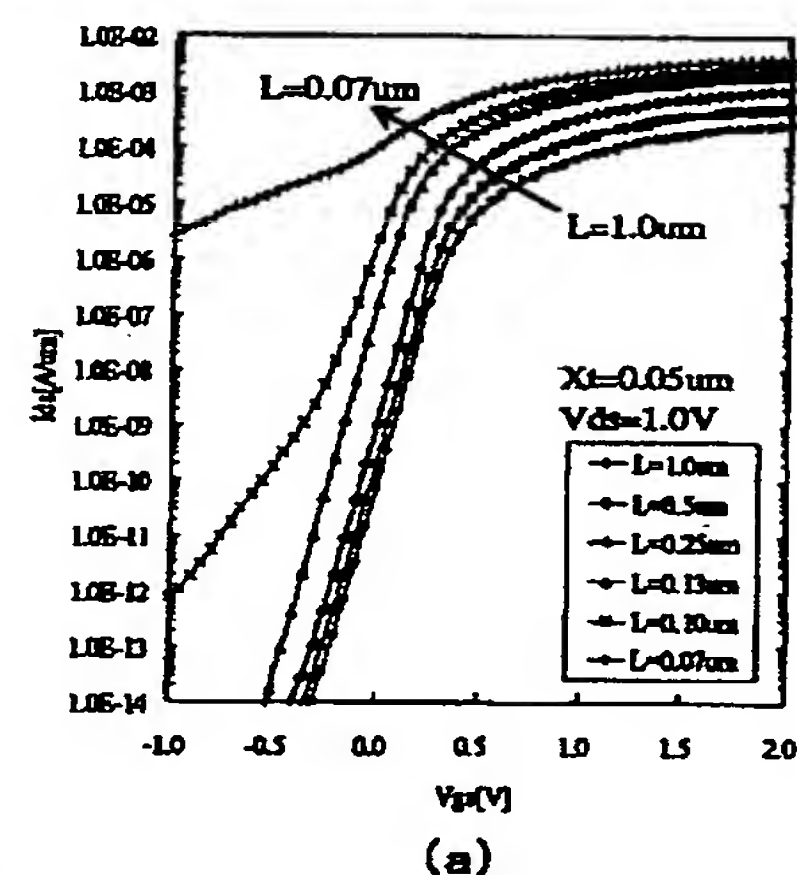
【図1】



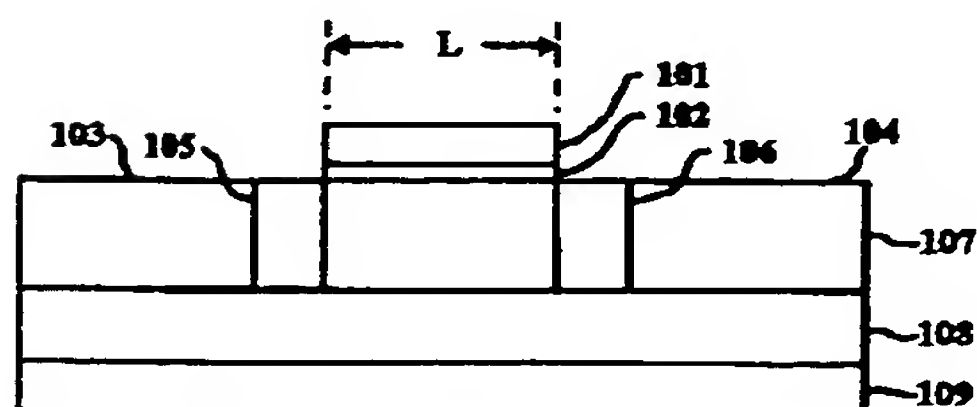
【図2】



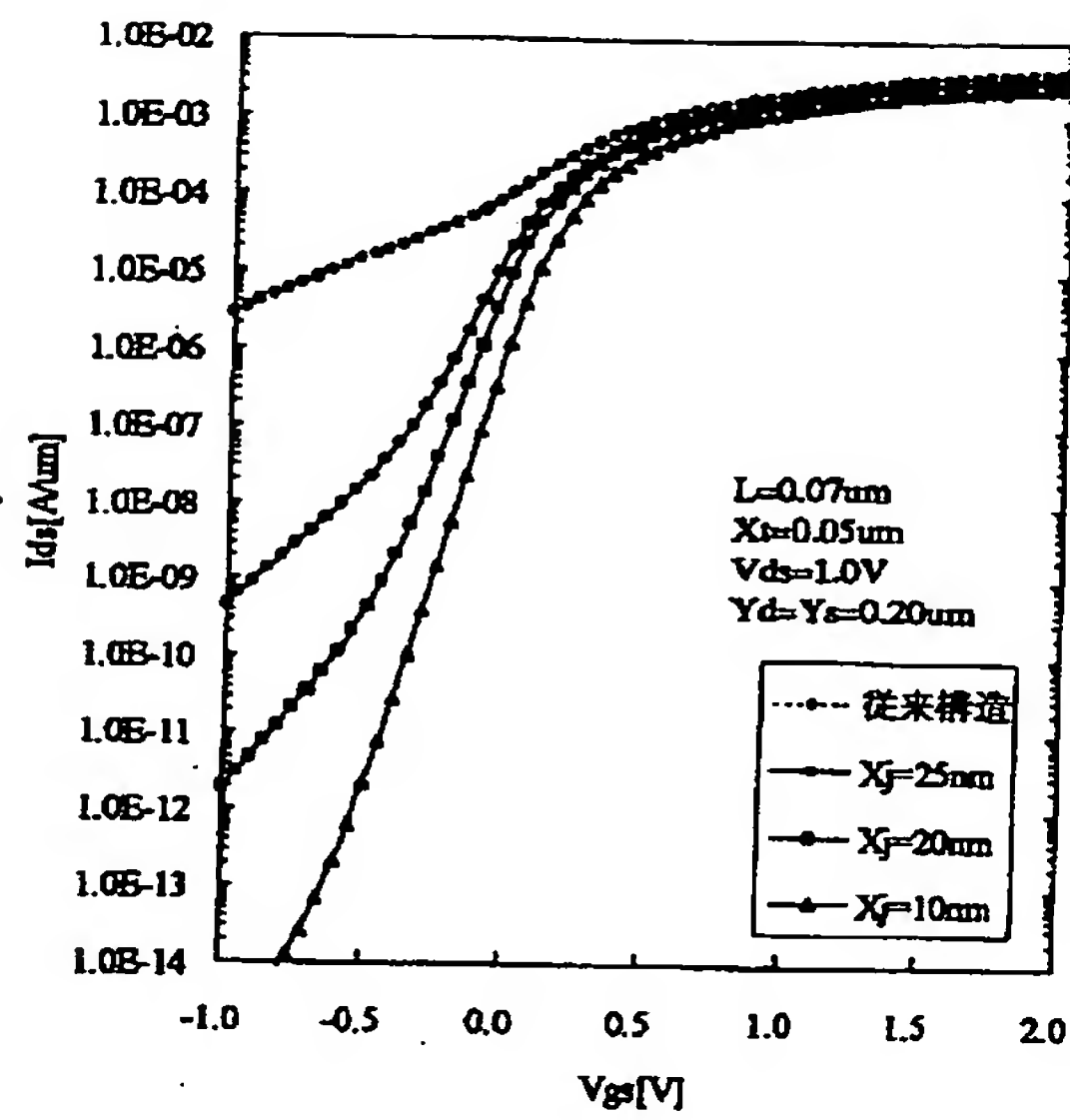
【図3】



【図6】



【図4】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

ターミナル (参考)

6 2 7 F



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**